

KOREAN PATENT ABSTRACT (KR)

PUBLICATION

(51) IPC Code: H01L 21/324

(11) Publication No.: P2001-0026123

(43) Publication Date: 6 April 2001

(21) Application No.: 1999-0037311

(22) Application Date: 3 September 1999

(71) Applicant:

Yun, Jong Yong

416, Maetan 3-dong, Paldal-ku, Suwon-shi, Kyunggi-do

(72) Inventor:

KIM, WAN DON

YU, CHA MYUNG

(54) Title of the Invention:

Method for manufacturing capacitor of semiconductor device including thermal treatment using hydrogen

Abstract:

The present invention is directed to a method of manufacturing a capacitor of a semiconductor device including a thermal treatment using hydrogen. The method includes forming a lower electrode on a semiconductor substrate, forming a dielectric layer using a high-k dielectric material on the lower electrode, and forming an upper electrode on the dielectric layer. Before or after the upper electrode is formed, the dielectric layer is thermally treated under an atmosphere including hydrogen to crystallize the dielectric layer.

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁸ H01L 21/324	(11) 공개번호 (43) 공개일자	10-2001-0025123 2001년 04월 06일
(21) 출원번호	10-1999-0037311	
(22) 출원일자	1999년 09월 03일	
(71) 출원인	삼성전자 주식회사 경기 수원시 팔달구 매탄3동 416	윤종용
(72) 발명자	김한돈 경기도수원시장안구물진동518번지전덕아파트02동1103호	유차영
(74) 대리인	이영필, 정상반, 박영영	경기도수원시권선구금곡동530L G 빌리지203동1302호

출처: 특허청

(54) 수소 열처리를 포함하는 반도체 장치의 캐패시터 제조방법

요약

수소 열처리를 포함하는 반도체 장치의 캐패시터 제조 방법을 개시한다. 본 발명의 일 관점은, 반도체 기판 상에 하부 전극을 형성한다. 하부 전극 상에 고유전율 물질로 유전막을 형성한다. 유전막 상에 상부 전극을 형성한다. 이때, 상부 전극을 형성하기 전이나 후에, 유전막을 결정화시키기 위해서 수소를 포함하는 분위기를 사용하여 유전막을 열처리한다.

도면

도 1

도 2

도 3

도 1은 종래의 반도체 장치의 게이트 구조 제조 방법을 설명하기 위해서 개략적으로 도시한 단면도이다.

도 2 및 도 3은 본 발명의 제1 실시예에 의한 반도체 장치의 캐패시터 제조 방법을 설명하기 위해서 개략적으로 도시한 단면도 및 공정 흐름도이다.

도 3은 여러 가지 조건의 열처리에 따른 유전막의 등가 산화막 두께를 도시한 그래프이다.

도 4는 본 발명의 제2 실시예에 의한 반도체 장치의 캐패시터 제조 방법을 설명하기 위해서 개략적으로 도시한 공정 흐름도이다.

도 5는 본 발명의 제3 실시예에 의한 반도체 장치의 캐패시터 제조 방법을 설명하기 위해서 개략적으로 도시한 공정 흐름도이다.

도 6은 본 발명의 제4 실시예에 의한 반도체 장치의 캐패시터 제조 방법을 설명하기 위해서 개략적으로 도시한 공정 흐름도이다.

도 7은 본 발명의 제5 실시예에 의한 반도체 장치의 캐패시터 제조 방법을 설명하기 위해서 개략적으로 도시한 공정 흐름도이다.

도면의 상세한 설명

도면의 명칭

본 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치 제조 방법에 관한 것으로, 특히, 수소 열처리(hydrogen annealing)를 수행하여 고유전율의 유전막을 채층하는 캐패시터(capacitor)를 제조하는 방법에 관한 것이다.

반도체 장치의 고집적화에 따라 캐패시터의 유호 단면적이 작아지고 있어, 반도체 장치의 동작에 요구되는 정전 용량을 얻기가 어려워지고 있다. 이에 따라, 캐패시터의 정전 용량을 증대시키기 위한 여러 방안이 제시되고 있다. 예를 들어, 유전막으로 페로브스카이트(perovskite) 구조의 고유전율 물질인 유전막으로 이용하거나, 오산화 이탄탈륨(Ta₂O₅)과 같은 유전 물질을 유전막으로 이용하려는 시도가 제시되고

있다.

이러한 고유전막 물질은 유전막으로 치환할 경우에, 전극 물질의 개선이 요구된다. 예를 들어, 백금(Pt) 등과 같은 귀금속 물질 또는 백금 산화물(PtO) 등과 전도성 산화물을 전극 물질로 이용하는 것이 요구되고 있다. 그리고, 이러한 전극 물질로 형성된 하부 전극과 하부의 도전성 플러그(plug) 등과의 접착성 또는 확산 방지 등을 도모하기 위해서는, 하부 전극의 하부에 장벽막 등이 도입되어야 한다.

이러한 장벽막은 상기한 유전막의 결정성 등을 향상시키기 위해서 수행되는 열처리 단계에서 산화될 수 있다. 유전막은 중적된 초기 상태에서 충분히 결정화되지 못한 상태이므로, 보다 높은 유전 특성을 위해 결정성의 향상이 요구된다. 이를 위해서, 산소 또는 질소가 포함된 분위기에서 대략 600°C 이상의 고온 열처리가 후속 공정으로 수행되어야 한다.

그러나, 이러한 고온 열처리는 하부 전극의 하부에 증착된 장벽막을 산화시킬 수 있으며, 또한, 장벽막 하부의 도전성 플러그 등을 산화시킬 수 있다. 이와 같은 산화는 접촉 저항의 증가 또는 도전성 플러그와의 전기적 단락을 유발할 수 있다. 또한, 상기한 고온 열처리는 유전막 또는 하부 및 상부 전극을 이루는 각 층들 간의 열적 스트레스(thermal stress) 변화를 크게 야기할 수 있다. 이에 따라, 각 층들 간의 열적 스트레스 차이로 기인하는 스트레스 손상(stress damage)을 발생시키거나, 유전막의 손상 또는 전극의 힐록(hillock) 또는 원자 이동(migration) 등과 같은 불량을 발생시킬 수 있다. 이러한 불량은 반도체 장치의 특성을 크게 열화시킬 수 있다.

본 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 유전막의 결정성 향상을 위해서 도입되는 후속 열처리 공정을 보다 낮은 온도로 수행할 수 있어, 장벽막 등의 산화를 방지하며 접촉 저항의 증가를 방지하고, 열적 스트레스에 기인하는 각 층들의 스트레스 손상 또는 전극 손상을 억제하며, 유전막의 유전 특성을 향상시킬 수 있는 반도체 장치의 캐패시터 제조 방법을 제공하는 데 있다.

본 발명의 구성 및 작용

상기한 기술적 과제를 달성하기 위한 본 발명의 일 관점은, 반도체 기판 상에 하부 전극을 형성한다. 상기 하부 전극 상에 고유전막 물질로 유전막을 형성한다. 상기 유전막을 수소를 포함하는 분위기를 사용하여 제1열처리한다. 상기 유전막 상에 상부 전극을 형성한다.

상기 제1열처리하는 단계 이후에, 상기 제1열처리된 상기 유전막을 산소 또는 질소를 포함하는 분위기를 사용하여 제2열처리를 더 수행할 수 있다. 그리고, 상기 제1열처리하는 단계는 대략 300°C 내지 600°C의 온도 조건으로 수행된다.

본 발명에 따르면, 후속 열처리 공정을 대략 300°C 내지 600°C 정도의 저온에서 수행하여 유전막의 유전 특성을 향상시킬 수 있다. 이에 따라, 장벽막의 산화 또는 접촉 저항의 증가 등을 억제할 수 있다. 열적 스트레스에 기인하는 각 층들의 스트레스 손상 또는 전극 손상을 억제하며, 또한, 열적 스트레스에 의한 유전막 손상을 억제할 수 있다.

이하, 첨부 도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어서는 안된다. 본 발명의 실시예들은 당업계에서 통상적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장된 것이다. 도면 상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다. 또한, 어떤 막이 다른 막 또는 반도체 기판의 "상"에 있다고 기재되는 경우에, 상기 어떤 막은 상기 다른 막 또는 반도체 기판에 직접 접촉하여 존재할 수 있고, 또는, 그 사이에 제3의 막이 개재되어질 수 있다.

도 1 및 도 2는 각각 본 발명의 제1실시예에 의한 반도체 장치의 캐패시터 제조 방법을 설명하기 위해서 개략적으로 도시한 단면도 및 공정 흐름도이다.

구체적으로, 트랜지스터(도시되지 않음) 등이 형성된 반도체 기판(도시되지 않음) 사이에 층간 절연막(도시되지 않음) 등을 개재하여 하부 전극(10)을 형성한다(도 2의 210). 이러한 하부 전극(10)은 반도체 기판의 활성 영역 등과 전기적으로 연결된다. 또한, 하부 전극(10)의 하부에는 장벽막(도시되지 않음) 등이 도입되며, 하부 전극(10)과 하부 막질 간의 접착성 등을 개선하고 물질의 확산 또는 이동을 억제하는 역할을 할 수 있다.

하부 전극(10)은 도전 물질을 증착하고 패터닝하여 일정한 형상, 예컨대, 스택 구조(stack structure) 또는 매몰 콘택 구조(buried contact structure) 등의 형상을 가지도록 형성할 수 있다. 이러한 도전 물질로는 금속 물질 또는 금속 산화물 등을 이용할 수 있다. 예컨대, Pt, Ru 또는 Ir 등과 같은 백금족 귀금속 물질을 이용하거나, 이러한 백금족 귀금속 물질에 산소를 도입하여 이루어지는 PtO, RuO, 또는 IrO 등과 같은 전도성 산화물 등을 이용할 수 있다. (La, Sr)Co 또는 BaSrRu, SrRu 등과 같은 페로브스카이트 구조를 가지는 전도성 산화물들을 이용할 수 있다. 또한, 이러한 도전 물질로 Ti, TiN, TiAlN 또는 TiSiN 등과 같은 Ti를 포함하는 물질과 Ta, TaN, TaSiN 또는 TiAlN 등과 같은 Ta를 포함하는 물질 또는 W 또는 Mo 등과 같은 W를 포함하는 물질 등을 이용할 수 있다.

이러한 도전 물질은 각각의 특성에 따라 다른 방법으로 반도체 기판 상에 증착될 수 있다. 예를 들어, 물리적 기상 증착(PVD: Physical Vapour Deposition), 화학적 기상 증착(CVD: Chemical Vapour Deposition), 유기 분자 증착(MOD: Molecular Organic Deposition) 또는 원자층 증착(ALD: Atomic Layered Deposition) 등으로 증착할 수 있으며, 전기 도금법 등을 이용할 수도 있다.

이와 같이 형성된 하부 전극(10) 상에 유전막(20)을 형성한다(도 2의 220). 이러한 유전막(20)을 형성하는 공정 이전에, 하부 전극(10)의 표면을 플라즈마(plasma) 처리 또는 오존(ozone) 처리하는 공정을 더

수행할 수 있다. 유전막(20)은 고유전율 물질로 형성된다. 예를 들어, 페로브스카이트 구조의 유전 물질, 예컨대, SrTiO_3 , BaTiO_3 , $(\text{Ba}, \text{Sr})\text{TiO}_3$, PbTiO_3 또는 $(\text{Pb}, \text{La}, \text{Zr})\text{TiO}_3$ 등으로 유전막(20)을 형성한다. 또는, 알루미늄 산화물(Al_2O_3)과 또는 오산화 이타륨(Ta_2O_5)과 등으로 유전막(20)을 형성할 수 있다. 그리고, 이러한 유전 물질로 이루어지는 층을 다단계로 형성한 다중막으로 유전막(20)을 이룰 수 있다.

이와 같이 형성된 유전막(20)은 충분히 열경화되지 못한 비정질 상태를 초기에 실질적으로 나타낸다. 유전막(20)을 이루는 고유전율 물질은 열경화 상태일 때 보다 높은 유전율을 나타낸다. 따라서, 이와 같은 실질적인 비정질 상태의 유전막(20)을 열경화시켜 유전 특성을 향상시키기 위해서 열처리하는 단계를 수행한다(도 2의 230).

이때, 수소 가스(H_2)를 포함하는 분위기에서 열처리를 수행한다. 수소 가스는 초기의 유전막(20), 즉, 실질적인 비정질 상태의 유전막(20) 내에 잔류하는 탄소(C) 등과 같은 불순물을 제거하는 역할을 할 수 있다. 이러한 불순물은 종착 과정에서 유전막(20) 내에 잔류할 수 있으며, 이러한 불순물은 열처리 도중에 수소와 반응하여 제거된다.

이러한 유전막(20) 내에 잔류하는 불순물은 유전막(20)의 열경화 온도를 증가시키는 역할을 할 수 있다. 따라서, 수소 분위기에 의해서 불순물이 유전막(20)으로부터 제거되므로, 유전막(20)의 열경화도가 보다 촉진될 수 있다. 이는 보다 낮은 온도에서 유전막(20)의 열경화를 유도할 수 있음을 의미한다.

따라서, 열경화가 일어나는 온도를 낮게 유도할 수 있다. 열처리 시 도입되는 온도를 보다 낮출 수 있다. 예를 들어, 대략 300°C 내지 600°C 정도의 온도에서 열처리를 수행할 수 있다. 바람직하게는 대략 400°C 정도의 온도에서 수행할 수 있다. 이러한 열처리 온도는, 종래의 질소 또는 산소를 포함하는 분위기를 이용하는 열처리에서 사용되는 적어도 600°C 이상의 온도 보다 월등히 낮은 온도 범위에서 포함한다. 이와 같은 수소 분위기를 이용하는 열처리의 효과에 대해서, 다음에 도 3을 참조하여 보다 상세하게 설명한다.

이와 같이 열처리 온도를 낮게 도입할 수 있어, 열적 스트레스의 유기를 억제할 수 있다. 또한, 수소 분위기로 보다 낮은 온도에서 열처리를 수행함으로써, 하부 전극(20)의 하부에 도입되는 장벽막(도시되지 않음)의 산화 등을 방지할 수 있다. 따라서, 반도체 장치의 열화 또는 동작 불량의 발생을 억제하여 우수한 전기적 특성을 얻을 수 있다.

상술한 바와 같이 수소 분위기에서 열처리된 유전막(20) 상에 상부 전극(30)을 형성한다(도 2의 300). 상부 전극(30)은 Pt, Pd 또는 Ir 등과 같은 백금족 귀금속 물질로 종착되어 이루어지거나, 이러한 백금족 귀금속 물질에 산소를 도핑하여 이루어지는 PtO , PdO 또는 IrO 등과 같은 전도성 산화물 등으로 이루어질 수 있다. 또는, $(\text{La}, \text{Sr})\text{Co}$ 또는 BaSrRuO_3 , SrRuO_3 등과 같은 페로브스카이트 구조를 가지는 전도성 산화물들로 이루어질 수 있다. 한편, Ti, TiN, TiAlN 또는 TiSiN 등과 같은 Ti를 포함하는 물질과 Ta, TaN, TaSiN 또는 TiAlN 등과 같은 Ta를 포함하는 물질 또는 W 또는 W를 포함하는 물질 등으로도 이루어질 수 있다. 이러한 도전 물질은 각각의 특성에 따라 다른 방법들로 유전막(200) 상에 증착될 수 있다. 예를 들어, PVD, CVD, MOCVD, ALD 또는 전기 도금법 등으로 형성될 수 있다.

한편, 본 발명의 제1실시예에서와 같은 수소 분위기를 이용하는 열처리에 의해서 구현되는 효과는 다음에 도 3에 도시된 바에 의해서 보다 명확해진다.

도 3은 열처리 조건에 따른 등가 산화막 두께(equilibrium oxide thickness)를 도시한 그래프이다.

구체적으로, 반도체 기판 상에 도 1 및 도 2를 참조하여 설명한 바와 같이 하부 전극 및 유전막을 형성한 후, 여러 가지 조건을 달리하여 열처리를 수행하였다. 이러한 열처리에 의해 발생하는 등가 산화막 두께를 측정하였다. 측정된 등가 산화막 두께 중 각각의 조건별로 최대값과 최소값을 도시하였다. 각각의 조건들에서, 수소 가스는 전체 분위기의 대략 10% 정도가 되게 공급하였으며, 질소 가스 또는 산소 가스는 전체 분위기의 대략 5% 정도가 되도록 공급하였다. 또한, 열처리 시간은 변수를 줄이기 위해서 대략 30분으로 통일하였다.

도 3을 참조하면, 본 발명의 제1실시예를 따르는 수소 분위기를 이용하여 대략 400°C 의 온도 조건에서 열처리하는 경우가 가장 낮은 등가 산화막 두께를 나타내고 있다. 산소 또는 질소 분위기를 사용하는 경우에 비해 대략 10배 이상 낮은 등가 산화막 두께를 나타내고 있다. 등가 산화막 두께가 낮다는 것은 유전율의 향상을 의미하며, 이는 유전막의 열경화가 상대적으로 많이 진행되었음을 의미한다. 또한, 이러한 수소 분위기를 이용할 경우에 얻어지는 등가 산화막 두께는 산소 분위기에서 500°C 의 온도에서 열처리한 조건에 비해서도 상대적으로 낮다.

따라서, 수소 분위기를 이용할 경우, 대략 400°C 의 낮은 온도에서 다른 조건의 열처리에 비해 상대적으로 높은 열경화를 구현할 수 있음을 알 수 있다. 또한, 수소 분위기를 이용하여 열처리하는 경우 유전막의 열경화가 상대적으로 낮은 온도에서 유기될 수 있음을 의미한다. 이와 같은 결과로부터 본 발명의 제1실시예에서와 같이 수소 분위기를 사용하여 유전막을 열처리함으로써, 보다 낮은 온도에서 열처리를 수행할 수 있음을 알 수 있다. 한편, 이러한 수소 분위기에서는 하부의 장벽막이 산화되지 않는다. 이는 수소 분위기가 자체가 환원 분위기를 유도하므로, 장벽막의 산화를 억제할 수 있다.

도 4는 본 발명의 제2실시예에 의한 반도체 장치의 커패시터 제조 방법을 설명하기 위해서 개략적으로 도시한 공정 흐름도이다.

제2실시예에서는 제1실시예에서와 같이 수소 분위기의 열처리를 제1열처리로 수행한 후, 후가의 제2열처리를 수행한다. 상세하게 설명하면, 제1실시예에서와 같이 하부 전극을 형성한 후(410), 유전막을 형성한다(420). 다음에 수소 분위기의 제1열처리를 제1실시예에서와 같이 대략 300°C 내지 600°C 정도의 온도 조건으로 수행한다(430). 이에 따라, 유전막의 열경화가 이루어진다.

다음에, 산소 또는 질소 등이 포함된 분위기를 이용하여 후가의 제2열처리를 대략 300°C 내지 600°C 경

도의 낮은 온도에서 수행한다(440). 이러한 추가의 제2열처리는 큐어링(curing)을 목적으로 한다. 이러한 제2열처리는 자외선을 조사하는 공정을 수반하는 오존 처리, 또는 산소 혹은 질소가 포함된 분위기의 플라즈마 처리로 대체될 수도 있다.

이후에, 제1실시예에서 설명한 바와 같이 유전막 상에 상부 전극을 형성한다(450).

도 5는 본 발명의 본 발명의 제3실시예에 의한 반도체 장치의 커패시터 제조 방법을 설명하기 위해서 개략적으로 도시한 공정 흐름도이다.

제3실시예에서는 제2실시예에서와는 달리 제2열처리를 상부 전극을 형성한 이후에 수행한다. 상세하게 설명하면, 제1 또는 제2실시예에서와 같이 하부 전극을 형성한 후(510), 유전막을 형성한다(520). 다음에 수소 분위기의 제1열처리를 제1 또는 제2실시예에서와 같이 대략 300°C 내지 600°C 정도의 온도 조건으로 수행한다(530). 이에 따라, 유전막의 결정화가 이루어진다.

다음에 유전막 상에 상부 전극을 형성한다(540). 이후에, 산소 또는 질소 등이 포함된 분위기를 이용하여 추가의 제2열처리를 제2실시예에서와 같이 수행한다. 예컨대, 대략 300°C 내지 600°C 정도의 낮은 온도에서 수행한다(550). 이러한 추가의 제2열처리는 큐어링을 목적으로 하며, 제2실시예에서와 같이 자외선을 조사하는 공정을 수반하는 오존 처리, 또는 산소 혹은 질소가 포함된 분위기의 플라즈마 처리로 대체될 수도 있다.

도 6은 본 발명의 본 발명의 제4실시예에 의한 반도체 장치의 커패시터 제조 방법을 설명하기 위해서 개략적으로 도시한 공정 흐름도이다.

제4실시예에서는 제1실시예에서와 달리, 수소 분위기의 열처리를 상부 전극을 형성한 이후에 수행한다. 보다 상세하게 설명하면, 제1실시예에서와 같이 하부 전극을 형성한 후(610), 유전막을 형성한다(620). 다음에 제1실시예에서와 같이 유전막 상에 상부 전극을 형성한다(630).

이후에, 결과물에 대해서 수소 분위기의 열처리를 수행한다(640). 예컨대, 제1실시예에서 설명한 바와 같이 대략 300°C 내지 600°C 정도의 온도 조건으로 열처리를 수행한다. 이와 같은 열처리에 의해서, 유전막에 제1실시예에서 설명한 바와 같이 보다 낮은 온도에서 결정화가 이루어진다.

도 7은 본 발명의 제5실시예에 의한 반도체 장치의 커패시터 제조 방법을 설명하기 위해서 개략적으로 도시한 공정 흐름도이다.

제5실시예에서는 제4실시예에서와는 달리 수소 분위기의 제1열처리 이후에, 추가의 제2열처리를 수행한다. 상세하게 설명하면, 제4실시예에서와 같이 하부 전극을 형성한 후(710), 유전막을 형성한다(720). 다음에 제4실시예에서와 같이 유전막 상에 상부 전극을 형성한 후(730), 수소 분위기의 제1열처리를 수행한다(740). 예컨대, 제4실시예에서 설명한 바와 같이 대략 300°C 내지 600°C 정도의 온도 조건으로 열처리를 수행한다.

이후에, 제2 또는 제3실시예에서 설명한 바와 같이 산소 또는 질소 등이 포함된 분위기를 이용하여 추가의 제2열처리를 수행한다(750). 예컨대, 대략 300°C 내지 600°C 정도의 낮은 온도에서 수행한다. 이러한 추가의 제2열처리는 큐어링을 목적으로 하며, 제2 또는 제3실시예에서와 같이 자외선을 조사하는 공정을 수반하는 오존 처리, 또는 산소 혹은 질소가 포함된 분위기의 플라즈마 처리로 대체될 수도 있다.

이상, 본 발명을 구체적인 실시예를 통하여 상세히 설명하였으나, 본 발명은 이에 한정되지 않고, 본 발명의 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 그 변형이나 개량이 가능함이 명백하다.

실험예

상술한 본 발명에 따르면, 유전막의 결정화를 수소 분위기의 보다 낮은 온도에서 수행되는 열처리로 구현할 수 있다. 이에 따라, 하부 전극 하부에 도입되는 장벽막 등의 산화를 억제할 수 있다. 또한, 열적 스트레스의 발생을 억제할 수 있어, 스트레스 층의 등과 같은 불량의 발생을 방지할 수 있다. 이에 따라, 반도체 장치의 열화 또는 전기적인 특성과 특성 저하 등과 같은 불량을 방지할 수 있다.

(57) 청구항

청구항 1. 반도체 기판 상에 하부 전극을 형성하는 단계;

상기 하부 전극 상에 고유전율을 물질로 유전막을 형성하는 단계;

상기 유전막 상에 상부 전극을 형성하는 단계; 및

상기 상부 전극이 형성된 결과물을 수소를 포함하는 분위기를 사용하여 제1열처리하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 커패시터 제조 방법.

청구항 2. 제1항에 있어서, 상기 제1열처리하는 단계 이후에,

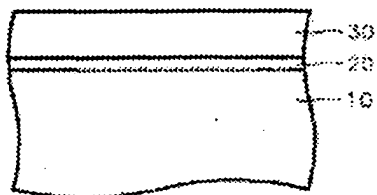
상기 제1열처리된 결과물을 산소 또는 질소를 포함하는 분위기를 사용하여 제2열처리하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 커패시터 제조 방법.

청구항 3. 제1항에 있어서, 상기 제1열처리하는 단계는

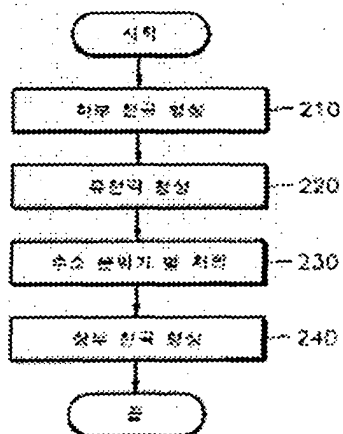
대략 300°C 내지 600°C의 온도 조건으로 수행되는 것을 특징으로 하는 반도체 장치의 커패시터 제조 방법.

도면

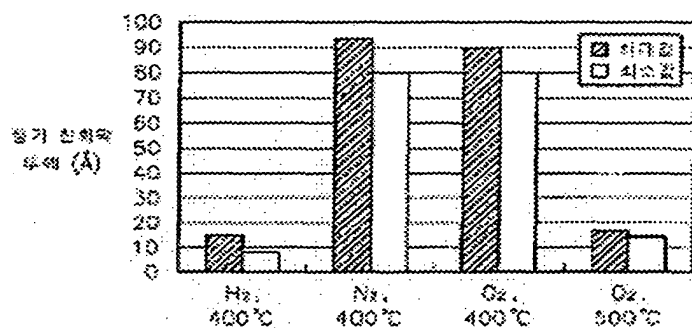
도면1



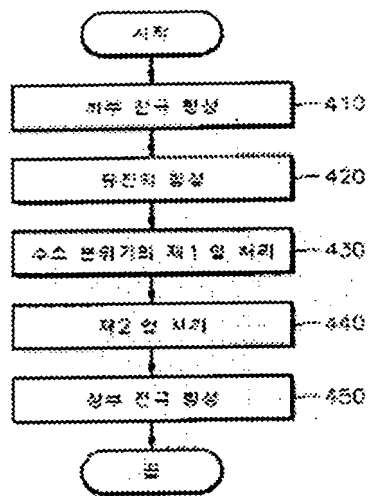
도면2



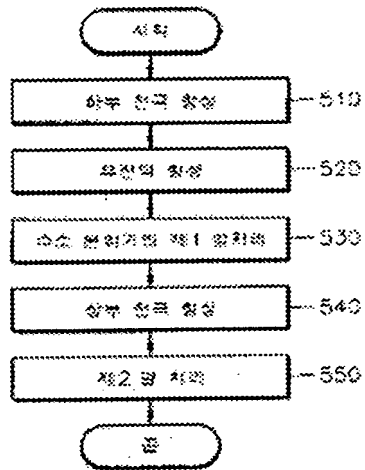
도면3



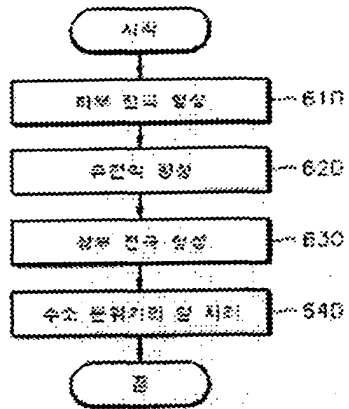
도 184



도 185



도 28



도 29

